

Chapter 2 微處理機硬體架構

➤ 選擇題 - (每題 2 分，共 50 分)

- 2-1 (D) 1. 某一微電腦具有 32 條位址線與 8 條資料線，不外加電路，則它的 CPU 可直接存取之記憶體位址空間最大可達
(A) 16 MB (B) 256 MB (C) 1 GB (D) 4 GB。

解 記憶體位址空間 = $2^{\text{位址線}} \times \text{資料線} = 2^{32} \times 8 = 4\text{GB}$ 。

- (C) 2. 有關微處理機的敘述何者錯誤？
(A) 8 位元的 CPU 每次可以處理 1byte 位元組的資料
(B) 微處理機的位元數越大，執行速度愈快
(C) 以 16 位元的微處理機處理 128 位元的資料，需處理 6 次
(D) 因電腦等級界線愈來愈模糊，微處理機可稱為中央處理單元 (CPU)。

- (B) 3. 一部 32 位元電腦和 64 位元的電腦通常是以何者為依據？
(A) 控制匯流排之位元數 (B) 資料匯流排之位元數
(C) 程式匯流排之位元數 (D) 位址匯流排之位元數。

- (D) 4. 下列有關「PC 中匯流排 (Bus)」的敘述中，何者有誤？
(A) 匯流排一般分為資料匯流排 (DataBus)、位址匯流排 (Address Bus) 和控制流排 (Control Bus) 三種
(B) Data Bus 是在 CPU 和 Memory 之間傳送資料，所以是雙向性
(C) Address Bus 可用來標明 Memory 或 I/O Port 位址的地方
(D) Data Bus 的長度和 Address Bus 的長度必須一樣。

解 Data Bus 的長度 (bit 數) 和 Address Bus 的長度可以不同，而且大多是不一樣的。

- (A) 5. 電腦的哪一個部分負責從主記憶體讀取並解釋指令？
(A) 控制單元 (B) 主記憶體
(C) 輸出 / 入單元 (D) 算術邏輯單元。

- 2-2 (B) 6. 在 CPU 中的暫存器，何者之主要功能是儲存機器碼指令的位址？
(A) 指令暫存器 (IR) (B) 程式計數器 (PC)
(C) 記憶資料暫存器 (MDR) (D) 通用暫存器 (GR)。

- (C) 7. 下列有關 80×86 微處理機架構的敘述，何者錯誤？
 (A) 控制單元負責 CPU 內部各單元間動作的聯繫
 (B) 記憶單元可存放資料
 (C) 輸出入單元屬於 CPU
 (D) 算術邏輯單元可實現各類算術及邏輯功能。
- (B) 8. 下列何者用於記錄 CPU 工作進行時的各種狀態？
 (A) 程式計數器 (B) 狀態（旗標）暫存器
 (C) 堆疊器 (D) 累加器。
- (A) 9. 下列何者負責記錄程式進行時下一指令所在的記憶體位址？
 (A) 程式計數器 (B) 記憶體位址暫存器
 (C) 記憶體緩衝暫存器 (D) 指令暫存器。

2-3 (B) 10. 有關記憶體的敘述，下列何者錯誤？

- (A) ROM 中的資料不因斷電而消失
 (B) DRAM 存取資料的速度比 SRAM 快
 (C) 磁碟可當作輔助的記憶體
 (D) EPROM 可重覆燒錄多次使用。

(B) 11. 下列有關隨機存取記憶體 (RAM) 之敘述何者錯誤？

- (A) 關閉電源則 RAM 內之資料即消失
 (B) DRAM 由正反器所構成
 (C) SRAM 比 DRAM 成本高
 (D) DRAM 必須週期性更新。

(B) 12. 若 80×86 之記憶器位置暫存器 (memory address register) 是 20 位元，記憶器緩衝暫存器 (memory buffer register) 是 16 位元，試問該微處理機可存取的記憶器空間有多大？

- (A) 1 M 位元組 (B) 2 M 位元組
 (C) 4 M 位元組 (D) 8 M 位元組。

解 MAR 寬度等於位址匯流排寬度，MBR 寬度等於資料匯流排寬度，所以記憶體空間 = $2^{20} \times 16\text{bits} = 2\text{MB}$ 。

(C) 13. 積體電路 (IC) 編號 6264，是一條 $8\text{K} \times 8$ bits 的靜態隨機存取記憶體 (SRAM)，則其具有：

- (A) 10 條位址線、4 條資料線 (B) 12 條位址線、8 條資料線
 (C) 13 條位址線、8 條資料線 (D) 14 條位址線、4 條資料線。

(D) 14. 有關記憶體的敘述，下列何者正確？

- (A) 斷電後 ROM 中的資料會消失
- (B) 斷電後 DRAM 中的資料不會消失
- (C) ROM 可清除並重複燒錄使用
- (D) EPROM 可清除並重複燒錄使用。

解 (A) ROM (唯讀記憶體) 於斷電時資料不會消失；
 (B) DRAM (動態隨機記憶體) 於斷電時資料會消失；
 (C) ROM 不可以重複燒錄；
 (D) EPROM 為可以經由紫外線照射加以刪除 (erasable) 後重新寫入新的資料；另外還有 EEPROM 為電子式快速刪除後可重寫的記憶體。

2-4 (D) 15. 如圖 (1) 所示，若微處理機有 16 條位址線，則此 SRAM 之位址範圍設計於何處？

- (A) $4000_{16} \sim 47FF_{16}$
- (B) $4800_{16} \sim 4FFF_{16}$
- (C) $7000_{16} \sim 77FF_{16}$
- (D) $7800_{16} \sim 7FFF_{16}$ 。

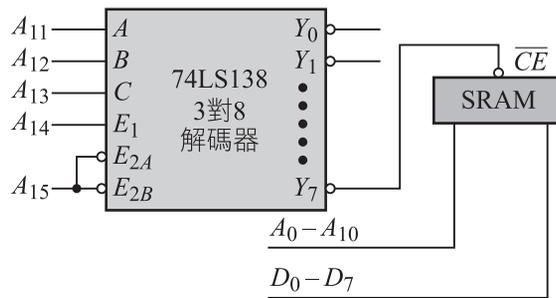


圖 (1)

解 $A_{15}A_{14} = 01$ ， $A_{13}A_{12}A_{11} = 111$ 才能選到 SRAM， $A_{10} \sim A_0$ 則不會影響選擇 SRAM。故選 (D)

選項	位址範圍	$A_{15} A_{14} A_{13} A_{12}$	$A_{11} A_{10} A_9 A_8$	$A_7 A_6 A_5 A_4$	$A_3 A_2 A_1 A_0$
(A)	4000H	0100	0000	0000	0000
	47FFH	0100	0111	1111	1111
(B)	4800H	0100	1000	0000	0000
	4FFFH	0100	1111	1111	0000
(C)	7000H	0111	0000	0000	0000
	77FFH	0111	0111	1111	1111
(D)	7800H	0111	1000	0000	0000
	7FFFH	0111	1111	1111	1111

(A) 16. 承上題，此 SRAM 的容量為何？

- (A) 2K Bytes (B) 4K Bytes (C) 8K Bytes (D) 16K Bytes。

解 容量 = 終止位址 - 起始位址 + 1 = 7FFF - 7800 + 1 = 800H = 2^{11} = 2k Bytes。或由位址 (11 支) 與資料 (8 支) 接腳數目計算容量也可以。

(A) 17. 採用一 3 對 8 之 74LS138 解碼器擴充記憶體容量，CPU 位址線 $A_0 \sim A_{15}$ 中的 A_{10} 、 A_{11} 、 A_{12} 分別接至解碼器的 A、B、C 輸入。若指定 $\bar{Y}_7 = 0$ ，其餘 $\bar{Y}_0 \sim \bar{Y}_6$ 為 1，則下列何者為可能的指定記憶體位址？

- (A) 1CCCH (B) 1888H (C) 0FFFH (D) 0444H。

解 (A_{10} 、 A_{11} 、 A_{12}) = (1、1、1) 才能選到 \bar{Y}_7 ，由下表得知應選擇 (A)1CCCH。

選項	位址範圍	$A_{15} A_{14} A_{13} A_{12}$	$A_{11} A_{10} A_9 A_8$	$A_7 A_6 A_5 A_4$	$A_3 A_2 A_1 A_0$
(A)	1CCC	0001	1100	1100	1100
(B)	1888	0001	1000	1000	1000
(C)	0FFF	0000	1111	1111	1111
(D)	0444	0000	0100	0100	0100

(A) 18. 利用 256 K * 4 記憶體元件完成 64 M * 8 之記憶體模組，共需多少個記憶體元件？ (A) 512 (B) 256 (C) 128 (D) 1024。

解 顆數 = $\frac{\text{總容量}}{\text{單顆容量}} = \frac{64M \times 8}{256K \times 4} = 512$ 顆

(B) 19. 如圖 (2) 所示，下列 ROM 解碼的範圍，何者包含 0D57FFH 的位址？ ($Y_0 \sim Y_7$ 分別接到 ROM 0 ~ ROM 7)

- (A) ROM 1 (B) ROM 5 (C) ROM 6 (D) ROM 6 及 ROM 7。

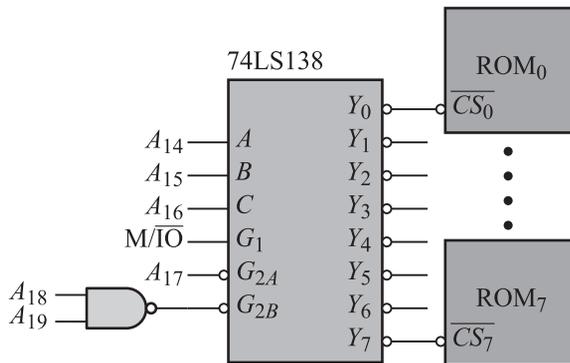


圖 (2)

解 $A_{19} \sim A_0 = D57FF = 1101\ 0101\ 0111\ 1111\ 1111$ ，74LS138 有致能，($A_{16}A_{15}A_{14}$) = (CBA) = (101)，選到 Y_5 連接的 ROM5。



- 2-4 (D) 20. 承上題，若不慎將 A14 與 A16 互相接反（A16 接至 A 的接腳，A14 接至 C 的接腳），則下列有關接反前與接反後的敘述，何者正確？
 (A) 接反前 ROM 0 的解碼位址，變為接反後 ROM 1 的解碼位址
 (B) 接反前 ROM 2 的解碼位址，變為接反後 ROM 6 的解碼位址
 (C) 接反前與接反後，ROM 1 的解碼位址都一樣
 (D) 接反前與接反後，ROM 5 的解碼位址都一樣。

- (B) 21. Intel 8086 CPU 當 $M/\overline{IO} = 0$ ， $\overline{RD} = 0$ ，表示 CPU 正在執行何種動作？
 (A) 讀取記憶體資料 (B) 讀取週邊裝置資料
 (C) 將資料寫入記憶體 (D) 將資料寫入週邊裝置。

- (D) 22. 下列何者不是串列傳輸規格？
 (A) IEEE1394 (B) USB (C) RS-232 (D) PCI。

- (C) 23. 一 8 位元微處理機具有界接 64 K 位元組的 ROM、64 K 位元組的 RAM、64 K 位元組的輸入埠及 64 K 位元組的輸出埠，若此微處理機採用記憶體對應 I/O (memory mapped I/O)，試問其位址線至少需幾條？
 (A) 16 條 (B) 17 條 (C) 18 條 (D) 19 條。

解 記憶體對應 I/O 模式共用記憶體位址，系統需求總容量 = $64K + 64K + 64K + 64K = 256K = 2^{18}$ ，所以共需 18 條位址線。

- (A) 24. TTL 數位 IC 的編號若為 74LS244N，表示其功能為下列何者？
 (A) 8 個 3 態的匯流排緩衝器 (Octal 3-State Bus Buffer)
 (B) 8 個 3 態的匯流排收發器 (Octal 3-State Bus Transceivers)
 (C) 8 個 D 型正反器 (Octal D-FF)
 (D) 4 個 RS 型正反器 (Quad RS-FF)。

- (A) 25. 下列敘述中，何者不是記憶體映對 (Memory Mapped) I/O 的特點？
 (A) 獨立的 I/O 地址，不佔記憶體的空間
 (B) 沒有輸入、輸出指令
 (C) Memory 和 I/O 同等對待
 (D) 所有 Memory 的指令皆可以用來做 I/O 的工作。

解 微處理機之 I/O 結構有記憶體映對及 I/O 映對兩種記憶體映對 I/O 沒有特別的 I/O 指令，I/O 定址和記憶體定址是相同的，微處理機以相同的指令進行 I/O 或記憶體資料的寫入或讀出；故應選 (A)。

🔍 問答題 - (每題 10 分，共 50 分)

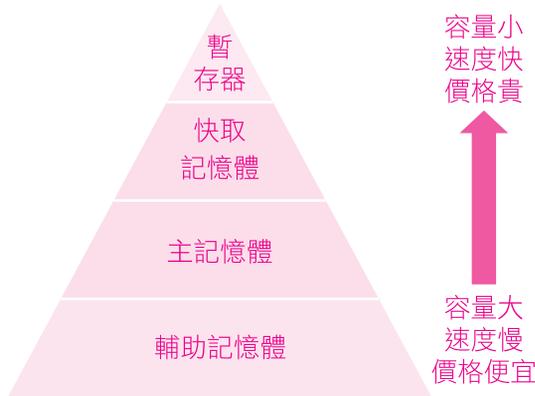
1. 請簡述三種系統匯流排的方向與傳遞訊息。

④ 系統匯流排包含資料、位址與控制匯流排，下表為它們的特性比較。

名稱	方向	訊息	其他意義
資料匯流排	雙向，CPU ↔ 記憶體或 I/O	資料	以資料匯流排的位元數來說明 CPU 的等級
位址匯流排	單向，CPU → 記憶體或 I/O	位址	表示 CPU 能存取的記憶體位置越多
控制匯流排	單向，CPU → 記憶體或 I/O	控制訊號	載送 CPU 控制對外界裝置的動作模式

2. 在微處理系統中，廣義的記憶體包括那些？

④ 廣義的記憶體依據記憶體與微處理機的遠近可包含，微處理機內部的暫存器，以及快取記憶體 (cache memory)、主記憶體的 ROM 與 RAM，甚至能離線儲存的軟碟、硬碟與光碟等。如下圖所示。愈接近微處理機的記憶體存取速度愈快、價格愈貴、容量愈小。離得愈遠，特性則相反。



3. 試著比較主記憶體與輔助記憶體的特性。

④ 主記憶體通常都採半導體技術製造，存取速度較快。輔助記憶體採磁或光技術製造，存取速度較慢。其他特性則如下表所示。

分類 \ 特性比較	存取速度	體積	成本價格	存取機率
主記憶體	快	小	較貴	常存取
輔助記憶體	慢	大	便宜	較少存取



since 1997

有著作權

侵害必究

AC20421 微處理機(全)

4. 圖 (3) 為使用 74LS138 進行位址解碼工作。請分析 ROM0 ~ ROM7 的位址分配空間。

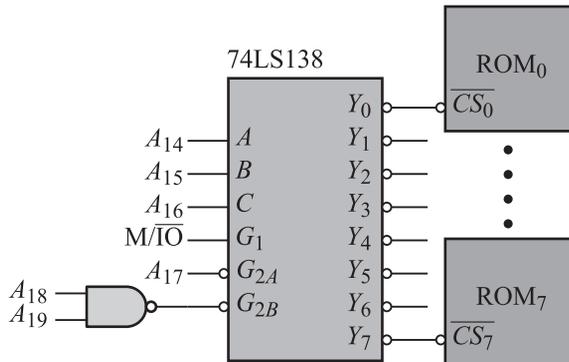


圖 (3)

解 74LS138 之 $(G1, \overline{G2A}, \overline{G2B}) = (1, 0, 0)$ 才能動作，由電路可知， $(A_{19}, A_{18}, A_{17}) = (1, 1, 0)$ 。再由 (A_{16}, A_{15}, A_{14}) 輸入 (C、B、A) 決定選擇到的 ROM，分析如下表所示。

位址線	$A_{19} \sim A_{16}$	$A_{15} \sim A_{12}$	$A_{11} \sim A_8$	$A_7 \sim A_7$	$A_3 \sim A_0$	位址範圍
ROM0	110 0	00 xx	xxxx	xxxx	xxxx	C0000H~C3FFFH
ROM1	110 0	01 xx	xxxx	xxxx	xxxx	C4000H~C7FFFH
ROM2	110 0	10 xx	xxxx	xxxx	xxxx	C8000H~CBFFFH
ROM3	110 0	11 xx	xxxx	xxxx	xxxx	CC000H~CFFFFH
ROM4	110 1	00 xx	xxxx	xxxx	xxxx	D0000H~D3FFFH
ROM5	110 1	01 xx	xxxx	xxxx	xxxx	D4000H~D7FFFH
ROM6	110 1	10 xx	xxxx	xxxx	xxxx	D8000H~DBFFFH
ROM7	110 1	11 xx	xxxx	xxxx	xxxx	DC000H~DFFFFH

5. 通常微處理機系統對於 I/O 埠位址的規劃方式有哪兩種方式？

解 通常微處理機系統對於 I/O 埠位址的規劃有記憶體映對式 IO 與隔離式 I/O 兩種方式。兩者的特色比較如下表所示。

比較項目	記憶體映對 I/O	隔離式 I/O
控制 (通知) 訊號	<ul style="list-style-type: none"> 記憶體與 I/O 有相同控制信號 記憶體與 I/O 皆使用 MEMR、MEMW 使用位址空間的區別，辨識存取對象 	<ul style="list-style-type: none"> 記憶體與 I/O 有個別控制信號 記憶體使用 MEMR、MEMW，I/O 使用 IOR、IOW 使用不同的通知訊號，辨識存取對象
位址分配	把 I/O 看做記憶體的一部分	I/O 有獨立的位址空間
存取 I/O 指令	與記憶體使用「相同」指令	與記憶體使用「不同」指令